

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168096

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H01L 21/316

H01L 21/31

(21)Application number : 09-334552

(71)Applicant : SONY CORP

(22)Date of filing : 04.12.1997

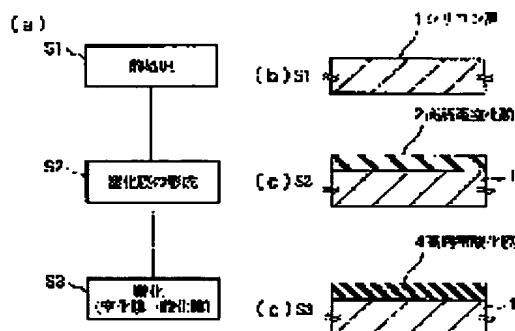
(72)Inventor : BUN NORIKI

(54) FORMATION OF HIGHLY DIELECTRIC OXIDE FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To form a highly dielectric oxide film, directly on a silicon laver without deteriorating its characteristics (high dielectric property, insulating property).

SOLUTION: A highly dielectric nitride film 2 is formed on a silicon layer 1 and then is oxidized into highly dielectric oxide film 4. Preferably, the highly dielectric oxide film 4 has dielectric constant of 20 or above. the highly dielectric oxide film 4 contains mainly on of zirconium oxide, tantalum oxide, titanium oxide, cesium oxide, hafnium oxide and the highly dielectric nitride film 2 contains mainly one of zirconium nitride, tantalum nitride, titanium nitride, cesium nitride, or hafnium nitride. The enthalpy of the highly dielectric oxide film 4 is lower than that of the highly dielectric nitride film 2 or of a silicon oxide film and therefore is thermodynamically stable.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**Partial translation of Japanese Unexamined Patent Publication
No. JP11-168069**

[0014] To enhance the speed and to reduce the power
5 consumption of LSIs, semiconductor devices with high
performance are needed. This requires miniaturizing MOS
transistors, and therefore formation of MOSFETs having a
shallow diffusion layer becomes necessary to reduce the short
channel effect.

10 [0015] Considering the above problems, the present
invention aims at establishing a technique for forming a
miniaturized MOS transistor that can prevent diffusion of
impurities that have been introduced into a channel region or
an S/D (source/drain) diffusion layer region to increase the
15 stability of operation, and that can decrease the short channel
effect by realizing shallow-junction S/D, and at providing a
fabrication method for a semiconductor device that can form
a shallow diffusion layer (extension region) of sufficient
controllability without deteriorating the properties of the
20 gate oxide film, and that can readily obtain a high-speed and
high-density MOSFET.

[0016]

[Means for Solving the Problem]

To achieve the above-mentioned objects, a method for
25 fabricating a semiconductor device according to the invention

comprises the steps of: forming a gate electrode on a semiconductor substrate having a gate oxide film in between; and introducing impurities to the region which serves as the source/drain diffusion layer of the semiconductor device by ion implantation with the gate electrode serving as a mask. This method is characterized in that, when a shallow diffusion layer of 0.1 micrometers or less thickness is formed, the accelerated ion implantation voltage is set at 1 KeV or less, and the ion implantation is conducted under the conditions in which the amount of point defects that are introduced into the silicon substrate while conducting ion implantation is minimized.

[0017] In order to achieve the above-mentioned objects, the method for fabricating a semiconductor device according to the invention comprises the steps of: forming a gate electrode on a semiconductor substrate having a gate oxide film in between; and introducing impurities to the region which serves as the source/drain diffusion layer of the semiconductor device by ion implantation with the gate electrode serving as a mask; and further comprises the steps of, when a shallow diffusion layer of 0.1 micrometers or less thickness is formed: conducting ion implantation under the conditions in which an accelerated boron implantation voltage is set at 1 KeV or less and the amount of point defects that have been introduced into a silicon substrate while conducting

ion implantation is minimized; forming sidewalls for the gate electrode; conducting ion implantation for forming a deep diffusion layer of 1 micrometers or more thickness; and conducting activation heat treatment by a lamp annealer.

5 [0018] In the ion implantation step, during the step for forming a deep diffusion layer of 0.1 micrometers thickness or more, before or after implanting boron, which is a p-type impurity, into the silicon substrate, the surface of the silicon substrate is made amorphous.

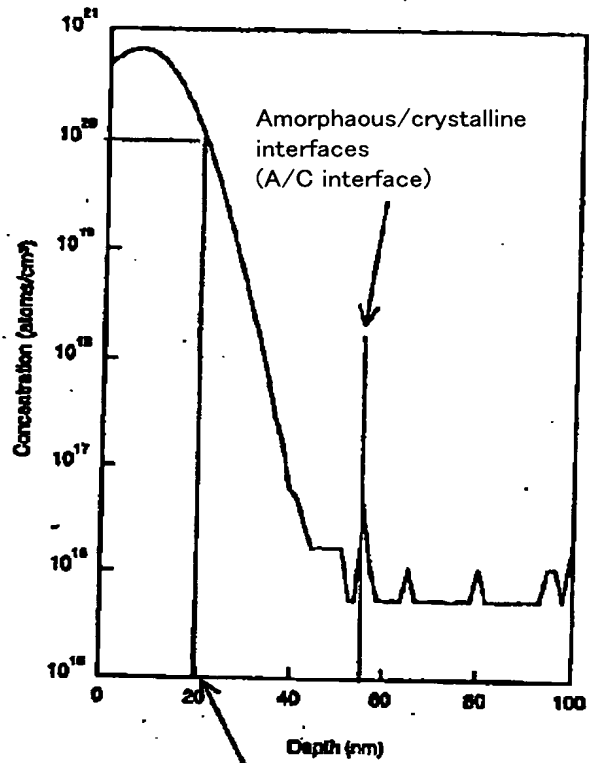
10 [0019] By making the surface of the substrate amorphous, channeling due to ion implantation does not occur, and the accelerated diffusion of interstitial silicon can be prevented.

 [0020] Moreover, in the interstitial silicon
15 distributed layer that is formed by introducing interstitial silicon to the region where boron is implanted, it is possible to obtain a region where only vacancy-type defects exist by making the layer amorphous. By forming a region where only vacancy-type defects exist, interstitial silicon becomes
20 inexistent, and this prevents accelerated diffusion.

[0041] Next, as shown in Fig. 4(d), ion implantation is again performed in the region in which the deep source/drain diffusion layer is to be formed. This is the step for implanting ion for forming the deep diffusion layer 17 of 0.1
5 micrometers or more thickness.

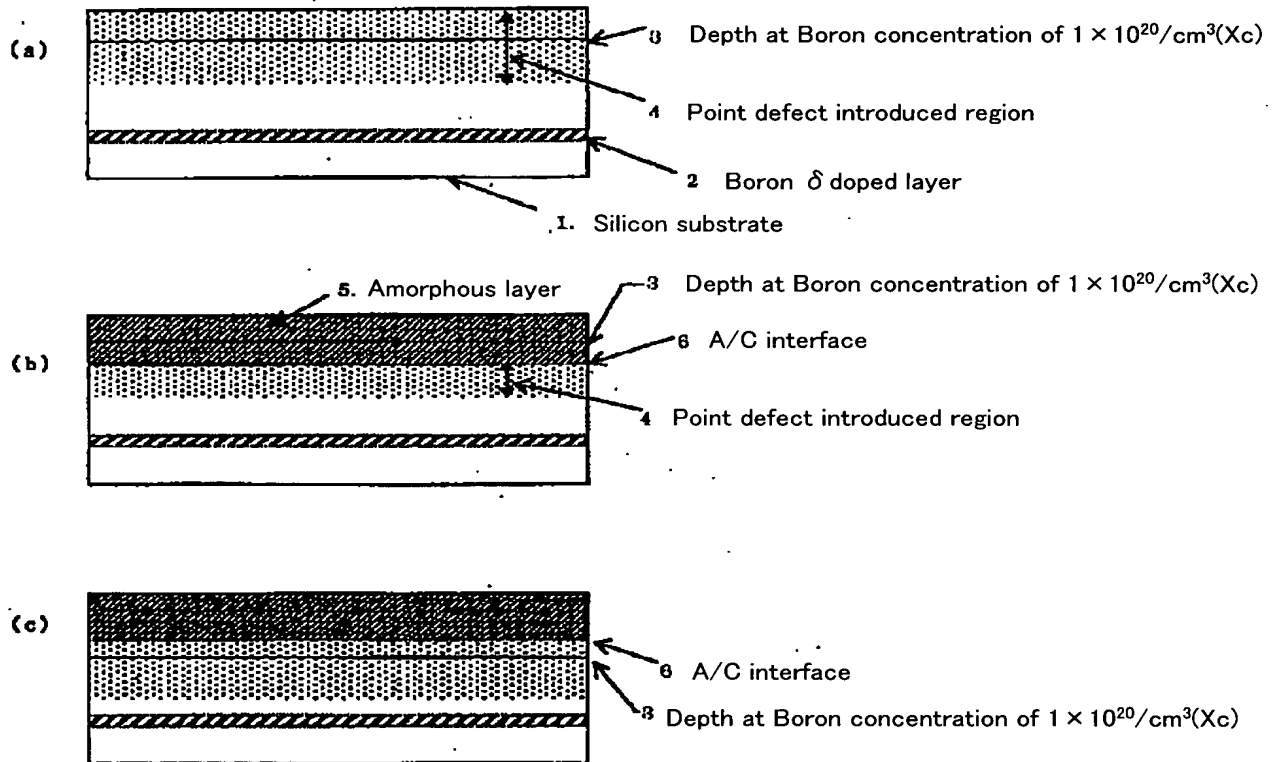
[0042] Annealing for activating impurities: lamp annealing is performed at a high temperature for a short time in order to minimize diffusion of the boron that has been introduced into extension region 18. This is the step for
10 conducting activation heat treatment by a lamp annealer.

Fig. 1



Depth at Boron concentration of $1 \times 10^{20}/\text{cm}^3$ (Xc)

Fig. 2



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-168069

(43)公開日 平成11年(1999) 6月22日

(51)IntCl.⁸

H 0 1 L 21/265

識別記号

F I

H 0 1 L 21/265

F

Z

U

審査請求 有 請求項の数 6 O L (全 8 頁)

(21)出願番号 特願平9-332735

(22)出願日 平成9年(1997)12月3日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 峰地 輝

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 獅子口 清一

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 斎藤 修一

東京都港区芝五丁目7番1号 日本電気株式会社内

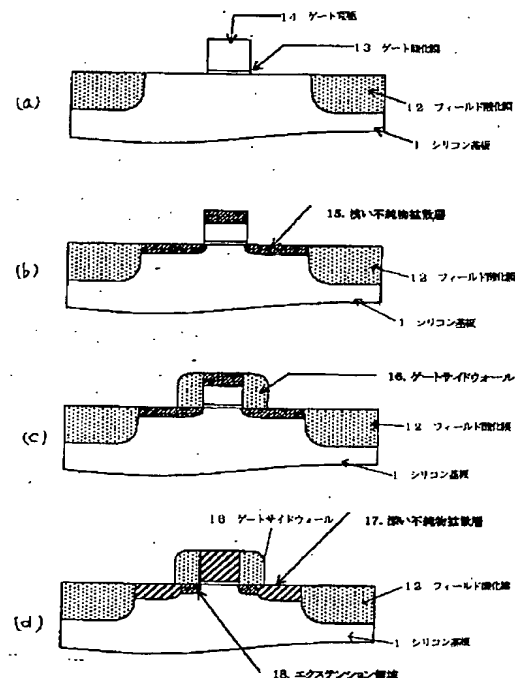
(74)代理人 弁理士 関口 宗昭

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 微細CMOSの浅い拡散層の形成方法に関し、イオン注入時に発生する点欠陥分布を制御することにより、不純物の増速拡散を抑制する。

【解決手段】 p+拡散層を形成する不純物のボロンの場合、基板中に発生する点欠陥量を抑え、チャネリングも抑制するため、ボロンの注入加速電圧を1keV以下にする。一方、ボロンを1keV以上で注入する場合には、基板表面を非晶質化する。この非晶質層の膜厚は、ボロン注入直後にはボロン濃度 $1 \times 10^{15} / \text{cm}^2$ の深さより厚く、且つ非晶質化イオン注入時に導入される点欠陥量が最少になる条件で行う。



【特許請求の範囲】

【請求項 1】 半導体基板上に、ゲート酸化膜を介してゲート電極を形成する工程と、このゲート電極をマスクに半導体素子のソース／ドレイン拡散層となる領域へイオン注入により不純物を導入する工程とを有する半導体装置の製造方法において、 $0.1\mu\text{m}$ 以下の浅い拡散層を形成する場合、イオンの注入加速電圧を 1KeV 以下とし、且つシリコン基板中にイオン注入と同時に導入される点欠陥量が最少となる条件で、前記イオン注入を行うことを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板上に、ゲート酸化膜を介してゲート電極を形成する工程と、このゲート電極をマスクに半導体素子のソース／ドレイン拡散層となる領域へ、イオン注入により不純物を導入する工程とを有する半導体装置の製造方法において、 $0.1\mu\text{m}$ 以下の浅い拡散層を形成する場合、イオンの注入加速電圧を 1KeV 以下とし、且つシリコン基板中にイオン注入と同時に導入される点欠陥量が最少となる条件で、前記イオン注入を行う工程と、ゲート電極にサイドウォールを形成する工程と、 $0.1\mu\text{m}$ 以上の深い拡散層を形成するためのイオン注入を行う工程と、ランプアニールによる活性化熱処理を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3】 前記イオン注入工程のうち $0.1\mu\text{m}$ 以上の深い拡散層を形成する工程において、P 型の不純物元素をイオン注入する工程の前あるいは後に、シリコン基板表面を非晶質化する工程を有する請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 イオンを注入した領域に導入された格子間シリコン分布層に、非晶質化により空孔タイプの欠陥のみ存在する領域を形成する請求項 2 に記載の半導体装置の製造方法。

【請求項 5】 前記非晶質化領域中の注入元素イオンの投影飛程、及び注入元素イオンの濃度が $1 \times 10^{20}/\text{cm}^3$ 以上になる領域が含まれ、且つ活性化熱処理後の p/n 接合位置が、非晶質領域／結晶領域界面よりも深い位置になる請求項 2 に記載の半導体装置の製造方法。

【請求項 6】 注入される元素イオンがボロン、ヒ素、リン、フッ化ボロンの内の一以上である請求項 1 乃至請求項 5 の何れかに記載した半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、主として微細なゲート電極およびシャロージャンクションを有する MOS 構造のデバイスで構成された高集積な CMOSLSI、特にロジックやメモリデバイスにおいて、高性能でかつ工程数の簡略化された半導体装置の製造方法に関する。

【0002】

【従来の技術】 MOSFET の微細化に伴い、短チャ

ネル効果の抑制および高駆動能力を得るために、ソース／ドレイン (S/D) 拡散層を、ゲート電極に近い領域を浅く、それ以外の領域を深く形成するダブルドレイン構造が検討されている。この構造でゲート電極近傍の浅い拡散層領域はエクステンションと呼ばれ、できるだけ浅く且つ高濃度にドーピングすることが要求され、短チャネル効果を抑制すると共に駆動能力の低下を防ぐことを目的としている。

【0003】 近年、不純物の浅いドーピング方法として、固相拡散、気相拡散、プラズマドーピング、およびレーザードーピング等が検討されている。特に p 型半導体のドーパントに一般的に用いられるボロンは、質量数が小さく、シリコン中での拡散速度が速いために、浅いドーピングが困難なことなどから、イオン注入法に代わる技術としてこれら技術の検討が行われている。

【0004】 イオン注入による浅接合の形成が困難である要因として、イオン注入と同時にシリコン基板中に点欠陥 (空孔または格子間シリコン) が導入され、活性化アニール時にこの点欠陥を介して不純物の拡散がより増速される点が挙げられる。

【0005】 しかし、S/D 拡散層へのドーピング方法としてのイオン注入技術は、均一性、再現性、制御性およびスループット等が、前述した他の技術に比べて優れているため、注入時に導入される点欠陥を抑制し、活性化アニール時の増速拡散をうまく制御できれば、将来のデバイスでも十分に用いられ得る技術であると考えられる。

【0006】 また、前述したようにイオン注入技術の問題点として挙げられる増速拡散について補足すると、この増速拡散の影響は、イオン注入された不純物自身ばかりではなく、チャネル領域の不純物の再分布に影響を及ぼす恐れがある。

【0007】 例えば、前述のダブルドレイン構造の拡散層を形成する場合には、エクステンション領域以外の S/D 拡散層は、高融点金属によりシリサイド化及び配線金属とのコンタクト形成時に、層抵抗及びリーク電流が増加するのを防ぐために、ある程度の深さの拡散層を形成することが必要であるため、エクステンション形成後、ゲート側壁を設けた後にさらに S/D 形成のイオン注入を行う。

【0008】 この場合、エクステンション領域の不純物も増速拡散の影響を受けることとなり、短チャネル効果が現れる要因となる。また、チャネル領域を形成している不純物の分布に関しても、同様に影響が及ぶと考えられる。

【0009】 したがって、拡散層の制御性を良く形成するには、この増速拡散を制御することが効果的であり、即ち点欠陥の発生を最小限に抑えられるイオン注入技術を見出すことが重要である。

【0010】 従来技術では、シャロージャンクションの

形成方法として、イオン注入された不純物自身のプロファイルについては、プレアモルファス化イオン注入法と言われる技術で、p型の不純物であるボロンをイオン注入する場合、質量数が小さいためにイオン注入時にチャネリングが発生し、実際の投影飛程よりも深くまで注入されてしまうのを防ぐため、ボロンの注入を行う前に、ゲルマニウムやシリコンをイオン注入することにより基板表面を非晶質化することで、チャネリングを防止することが試みられている。

【0011】しかし、この非晶質化イオンの注入時にもシリコン基板中には多数の点欠陥が導入されることになるため、活性化熱処理時の増速拡散は発生する。そして、同じ加速電圧でボロンを注入して拡散層深さを比較した場合、注入直後にはプレアモルファス化のイオン注入を行った方が浅いが、熱処理により増速拡散がより促進されて、効果的に同じくらいの深さになる場合があり、これらイオン注入条件を最適化する必要がある。

【0012】

【発明が解決しようとする課題】微細なMOSFETの形成において、ソース/ドレイン拡散層を設計通りに制御性良く形成するためには、イオン注入した不純物の増速拡散の制御が重要になるが、それに加えて予め形成していたウェルやチャネル等の不純物分布がソース/ドレイン形成時に増速拡散の影響を受けて再分布することも当然考えられる。

【0013】したがって、MOSFETのソース/ドレイン拡散層を形成するためのイオン注入条件は、このイオン注入時に導入される点欠陥の分布についても充分に把握しておくことが重要である。

【0014】LSIの高速化および低消費電力化を実現するためには、半導体素子の高性能化が必要となり、MOS型トランジスタの微細化に伴う短チャンネル効果の抑制のために、浅い拡散層を有するMOSFETを形成しなければならない。

【0015】本発明は、上記の問題点に着目して成されたものであって、その目的とするところは、チャネル領域またはS/D拡散層領域に導入された不純物の拡散を要請し動作の安定性を向上させる他、S/Dの浅接合化の実現による短チャンネル効果の抑制された、微細MOSトランジスタの成形技術を確立することであって、ゲート酸化膜特性の劣化を伴わずに、浅い拡散層（エクステンション領域）を制御性良く形成できて、高速・高密度のMOSFETを容易に形成することが可能となる半導体装置の製造方法を提供することにある。

【0016】

【課題を解決するための手段】上記した目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上に、ゲート酸化膜を介してゲート電極を形成する工程と、このゲート電極をマスクに半導体素子のソース/ドレイン拡散層となる領域へイオン注入により不純物を導

入する工程とを有する半導体装置の製造方法において、 $0.1\mu\text{m}$ 以下の浅い拡散層を形成する場合、イオンの注入加速電圧を 1KeV 以下とし、且つシリコン基板中にイオン注入と同時に導入される点欠陥量が最少となる条件で、前記イオン注入を行うことを特徴とする。

【0017】さらに上記した目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上に、ゲート酸化膜を介してゲート電極を形成する工程と、このゲート電極をマスクに半導体素子のソース/ドレイン拡散層となる領域へ、イオン注入により不純物を導入する工程とを有する半導体装置の製造方法において、 $0.1\mu\text{m}$ 以下の浅い拡散層を形成する場合、ボロンの注入加速電圧を 1KeV 以下とし、且つシリコン基板中にイオン注入と同時に導入される点欠陥量が最少となる条件で、前記イオン注入を行う工程と、ゲート電極にサイドウォールを形成する工程と、 $0.1\mu\text{m}$ 以上の深い拡散層を形成するためのイオン注入を行う工程と、ランプアニールによる活性化熱処理を行う工程とを有することを特徴とする。

【0018】また、前記イオン注入工程のうち $0.1\mu\text{m}$ 以上の深い拡散層を形成する工程において、P型の不純物であるボロンをイオン注入する工程の前あるいは後に、シリコン基板表面の非晶質化を行う。

【0019】このように非晶質化することにより、イオン注入した場合のチャネリングが生じず、格子間シリコンの増速拡散が抑制される。

【0020】また、ボロンを注入した領域に導入された格子間シリコン分布層に、非晶質化により空孔タイプの欠陥のみ存在する領域を形成する。そのように空孔タイプの欠陥のみ存在する領域を形成することにより、格子間シリコンが存在しなくなり、増速拡散が抑制される。

【0021】また、前記非晶質化中にボロンの投影飛程、およびボロンの濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上になる領域が含まれ、且つ活性化熱処理後のp/n接合位置が、非晶質領域/結晶領域界面よりも深い位置になるようにする。

【0022】通常ソース/ドレイン拡散層を形成するためのイオン注入は、ドーズ量換算で $1 \times 10^{14} \sim 5 \times 10^{15} / \text{cm}^2$ の範囲で行われる。短結晶シリコン基板へイオン注入を行った場合、ある濃度を越える基板表面は非晶質化される。

【0023】しかし、p型の不純物として一般的に用いられるボロンに限っては、質量数が小さいために、このような濃度範囲でイオン注入を行ってもシリコン基板表面は非晶質化されることはない。増速拡散の要因となる点欠陥には、空孔タイプの欠陥と格子間シリコンとが存在すると考えられており、特に格子間シリコンによってボロン等の不純物の拡散が増速拡散されると考えられている。

【0025】しかし、非晶質化された領域では、空孔タ

イブの欠陥のみ存在するので、非晶質化を伴うイオン注入を行った場合は、イオン注入欠陥が導入される領域のうち、非晶質化された領域より深い位置に存在するものだけが、増速拡散に関与する点欠陥と考えることができる。

【0026】また、これらの点欠陥の分布は、イオン種やイオン注入を行う加速電圧、ドーズ量によって異なるため、例えばボロンのみの注入の場合と非晶質化ゲルマニウム注入の場合とで、点欠陥が増速拡散に及ぼす影響について比較すると、あるイオン注入条件によっては、

全く異なった挙動を示すため、増速拡散の抑制に有効なイオン注入方法はどちらであるかは一既に言えない。

【0027】

【発明の実施の形態】本発明の実施の形態を図面を用いて説明する。図1はシリコン基板1表面を非晶質化し、ボロンを 2 keV で $1 \times 10^{15} / \text{cm}^2$ 注入した場合のボロンの深さプロファイルである。ボロンの濃度が $1 \times 10^{20} \text{ cm}^3$ の深さ(3)を X_c とした場合、図1のプロファイルの X_c は 20 nm となる。ここで示したプロファイルは、 $1 \times 10^{20} / \text{cm}^3$ 以上の濃度のボロンが

イオン注入された領域が、全て非晶質層5中に含まれる場合である。

【0028】図2には、シリコン基板1に増速拡散を観察するためのマーカー層として、ボロンδドープ層2を設けたサンプルの断面図を示し、各種条件でイオン注入を行った場合の点欠陥の分布を示した。

【0029】図2(a)はボロンを 2 keV で $1 \times 10^{15} / \text{cm}^2$ 注入した場合の X_c 、および点欠陥分布を示す。ボロン原子は比較的軽いので、このイオン注入条件ではシリコン基板1表面は非晶質化されない。したがって、この図に示したように、ボロンイオンを注入した領域と、それより深い領域に広く点欠陥が分布する。

【0030】図2(b)に示した注入条件は、図1で示したプロファイルに相当するもので、シリコン基板1表面をゲルマニウム注入で非晶質化した後に、ボロンを 2 keV で $1 \times 10^{15} / \text{cm}^2$ の注入を行った場合の、それぞれの深さ位置を示す。イオン注入されたボロンの大部分が非晶質層5中に含まれているため、シリコン基板1中に導入される点欠陥は非晶質化時に導入されたものが支配的になる。また、非晶質化された領域にはボロンの増速拡散に関与しない空孔タイプの点欠陥しか存在しないための、このイオン注入条件ではボロンのみを注入した場合よりも増速拡散に関与する点欠陥(格子間シリコン)量が少なくなっている。

【0033】図2(c)は非晶質よりも深い位置にまでボロンを注入した例を示す。この場合 X_c がA/C界面6よりも深いため、非晶質化注入時に導入された点欠陥に加えて、ボロン注入時にも点欠陥が導入されることになる。

【0034】図3には、これらのサンプルを 950°C で

10 秒間のRTAを行った後の、ボロンδドープ層2の増速拡散距離を、ボロンの注入加速電圧に対してそれぞれプロットしたものである。非晶質化条件は、全て同じ条件で行なっている。図中に示した(a)~(c)の値は、それぞれ図2で示したサンプル構造に対応する。ボロンのみの注入の場合、ボロンの加速電圧と共に増速拡散距離が大きくなるのに対し、非晶質化を行ったサンプルでは、非晶質層5よりもボロンの X_c が深くならない限り、非晶質化注入条件で規定されたほぼ一定の値になることが分かる。

【0035】この非晶質化イオン注入条件は、活性化熱処理後にp+接合深さ(X_j)が、元のA/C界面よりも深い位置になるように設計を行うことが必須である。これは、活性化熱処理後のボロン X_j がA/C界面6よりも浅い位置にあること、空乏層中に残留欠陥が存在することになり、接合リーク電流が増大する原因となるからである。

【0036】これらの実験データより、イオン注入時に導入された点欠陥が、シリコン基板1中に存在している不純物の増速拡散に与える影響は、ボロン注入加速を低電圧化するにつれて小さくなることが分かり、さらに、ボロンの注入加速電圧によっては、ボロンのみの注入よりも非晶質化イオン注入を行った方が増速拡散に与える影響が小さくなることは明らかである。

【0037】次に、本発明の一実施例のPMOSのダブルドレイン構造を用いて、図4に示すように工程手順を追って説明する。図4(a)に示すように、シリコン基板1の表面に、選択的にフィールド酸化膜12を形成した後、ゲート酸化膜13およびポリシリコンを堆積し、パターニングによってゲート電極14を形成する(ゲート電極を形成する工程)。ここで $X_c < 50\text{ nm}$ のシャロージャンクションを形成するためのイオン注入を行う。

【0038】次に、図4(b)に示すように、エクステンション領域へのイオン注入を行う。例えば、ボロンであれば注入加速電圧を 0.2 keV で $1 \times 10^{15} / \text{cm}^2$ 個のイオンを注入する(イオン注入工程)。

【0039】ゲート電極14をマスクに半導体素子のソース/ドレイン拡散層となる領域へ、イオン注入により不純物を導入する工程において、 $0.1\text{ }\mu\text{m}$ 以下の浅い拡散層15を形成する場合、ボロンの注入加速電圧を 1 KeV 以下とし、且つシリコン基板1中にイオン注入と同時に導入される点欠陥量が最少となる条件で、前記イオン注入を行う。

【0040】次に、図4(c)に示すように、ゲートポリシリ電極14にシリコン酸化膜あるいはシリコン窒化膜のゲートサイドウォール(スペーサー)16を形成する。ゲート電極14にサイドウォールを形成する工程である。スペーサー膜の成長温度は、図4(b)で注入されたボロンが拡散しないように、 700°C 以下で行な

う。

【0041】次に、図4(d)に示すように、深いソース／ドレイン拡散層を形成する領域に再度イオン注入を行う。0.1 μm 以上の深い拡散層7を形成するためのイオン注入を行う工程である。

【0042】不純物の活性化のためのアニールは、エクステンション領域18に注入されたボロンの拡散を最低限に抑えるために、高温短時間のランプアニールを行なう。ランプアニールによる活性化熱処理を行う工程である。

【0043】これにより、エクステンション領域18は40nm、深いソース／ドレイン領域は100～200nmの深さの、ダブルドレイン構造のp+拡散層が形成できる。図4(d)で示した深いソース／ドレインのイオン注入工程においては、ゲルマニウムを加速電圧5keVで $1 \times 10^{15} / \text{cm}^2$ のドーズ量で注入を行ない、シリコン基板表面を非晶質化する。続いて、ボロンを2keV、 $1 \times 10^{15} / \text{cm}^2$ で注入する。これにより、点欠陥の導入量を減らすことができ、活性化熱処理時にエクステンション領域の不純物、およびチャネル領域の不純物の増速拡散による再分布を最小限に抑えることができる。

【0044】以上のような工程を経ることにより、短チャネル効果の抑制された高性能な半導体素子が形成できる。また、深いソース／ドレイン注入時には、非晶質化のイオン注入と、ボロンのイオン注入は、格子間シリコンが最少となる条件、およびリーク電流の増大がない条件を満たしていれば、先にボロンを注入してから非晶質化のイオン注入を行なっても良い。

【0045】なお、以上の実施例はボロンに関して本発明を説明したが、他のp型半導体のドーパントに一般的に用いられる元素、ヒ素、リン、フッ化ボロン等についても本発明を適用することはできる。

【0046】

【発明の効果】以上説明したように、本発明によれば、ゲート酸化膜特性の劣化を伴わずに、浅い拡散層（エク

ステンション領域）を制御性良く形成できるため、高速・高密度のMOSFETを容易に形成することが可能となる。

【0047】また、以上のような製造方法で製作した本発明の半導体装置、例えばトランジスタは、ゲート端近傍の不純物拡散層の深さをコントロールし、低エネルギーで注入した不純物の増速拡散を抑制することができるため、微細なデバイスにおいて短チャネル効果が抑制され、且つ高性能なデバイス特性が得られる。

【図面の簡単な説明】

【図1】イオン注入直後のボロンの深さ方向分布を示す線図である。

【図2】シリコン基板に増速拡散を観察するためのマーカー層として、ボロン δ ドーブ層を設けたサンプルの断面図を示し、(a)、(b)、(c)は不純物及び点欠陥の分布を表す説明図である。

【図3】同サンプルのランプアニール後の増速拡散距離を示す線図である。

【図4】(a)、(b)、(c)、(d)は本発明に係る半導体装置の製造方法の実施の形態例における工程説明のための断面図である。

【符号の説明】

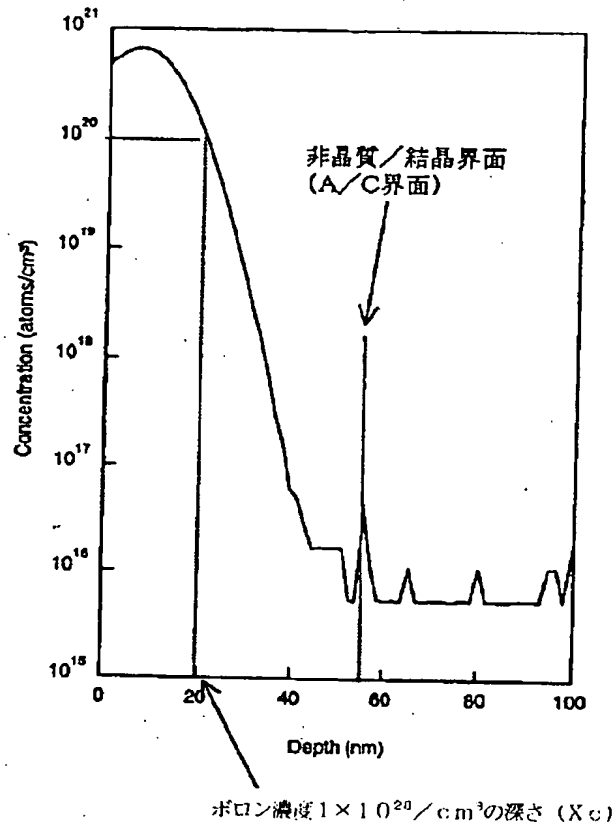
- 1 シリコン基板
- 2 ボロン δ ドーブ層
- 3 ボロン濃度 $1 \times 10^{20} / \text{cm}^3$ の深さ(Xc)
- 4 点欠陥導入領域
- 5 非晶質層
- 6 非晶質／単結晶界面(A/C界面)
- 12 フィールド酸化膜
- 13 ゲート酸化膜
- 14 ポリシリコンゲート
- 15 浅い不純物拡散層
- 16 ゲートサイドウォール
- 17 深い不純物拡散層
- 18 エクステンション領域

10

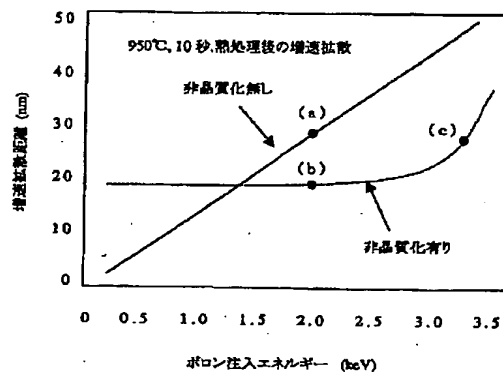
20

30

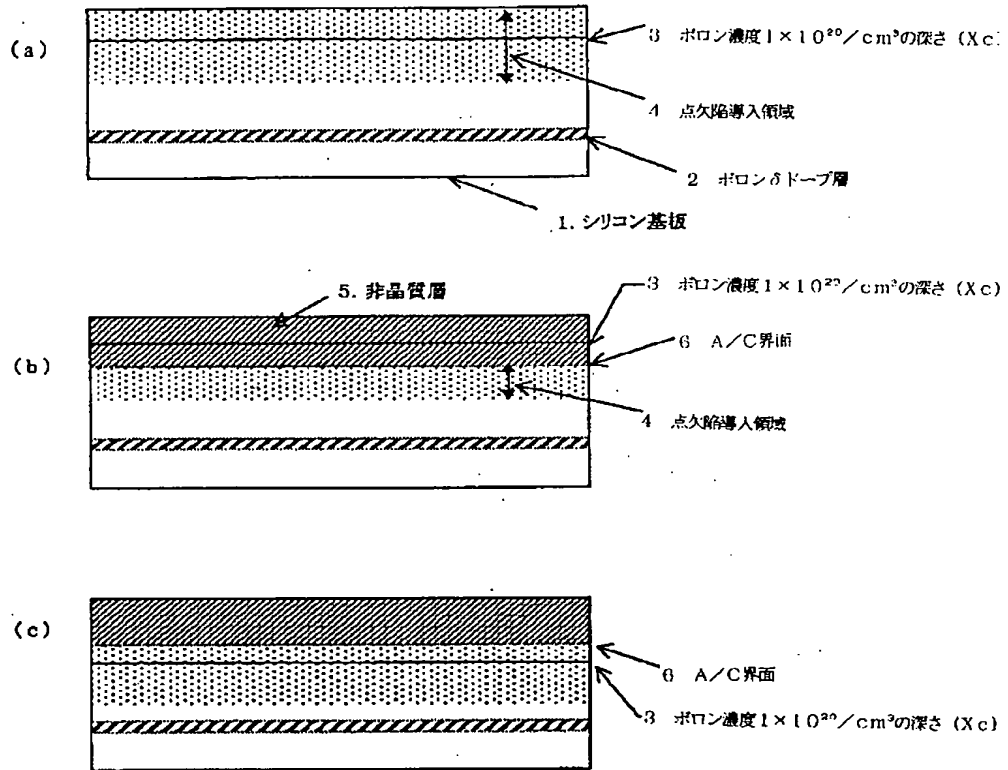
【図1】



【図3】



【図2】



【図4】

